

T-02ED0064 (7J)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168201

(43)Date of publication of application : 22.08.2001

(51)Int.Cl.

H01L 21/82
G06F 17/50
H01L 27/04
H01L 21/822

(21)Application number : 11-353964

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 14.12.1999

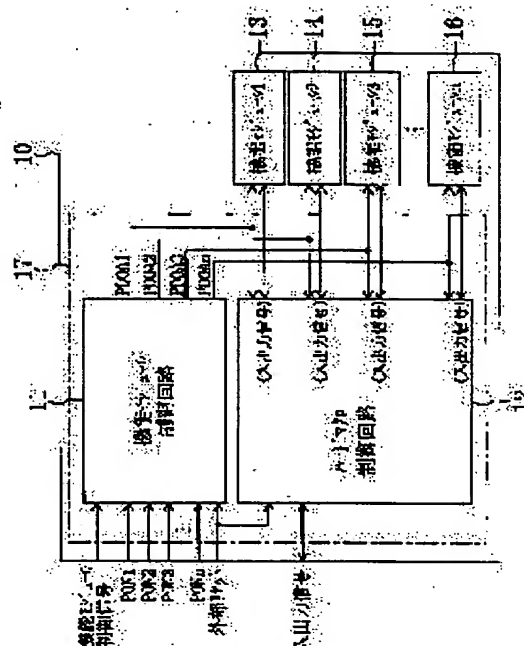
(72)Inventor : ARIMA YUKIO

(54) HARD MACRO CELL AND METHOD OF ITS ARRANGEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable providing a hard macro cell exhibiting a high general versatility.

SOLUTION: A hard macro cell 10 is provided with a function module control circuit 11, a hard macro cell control circuit 12, and plural function modules having the same function. Each of the function modules is turned on or off by each of the plural first control signal PDOAn. The function module control circuit 11 outputs the plural first control signals PDOAn to each of the function modules according to plural external pin signals inputted from plural external pins PONn or function module control signal. The hard macro cell control circuit 12 enables the transmission and reception to and from the function module which is turned on by the first control signal PDOAn and disables the transmission and reception to and from the function module which is turned off by the first control signal PDOAn.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2001-168201

(P2001-168201A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)IntCl.

識別記号

FI

テームト(参考)

H01L 21/82

H01L 21/82

S 5B046

G06F 17/50

G06F 15/60

654K 5F038

H01L 27/04

658T 5F064

21/822

658A

H01L 27/04

U

審査請求 未請求 請求項の数6 OL (全11頁)

(21)出願番号

特願平11-353964

(71)出願人 000005821

松下電器産業株式会社

(22)出願日

平成11年12月14日(1999.12.14)

大阪府門真市大字門真1006番地

(72)発明者 有馬 幸生

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

Fターム(参考) 5B046 AA08 BA05

5F038 BE07 DF01 DF07 DF16 EZ20

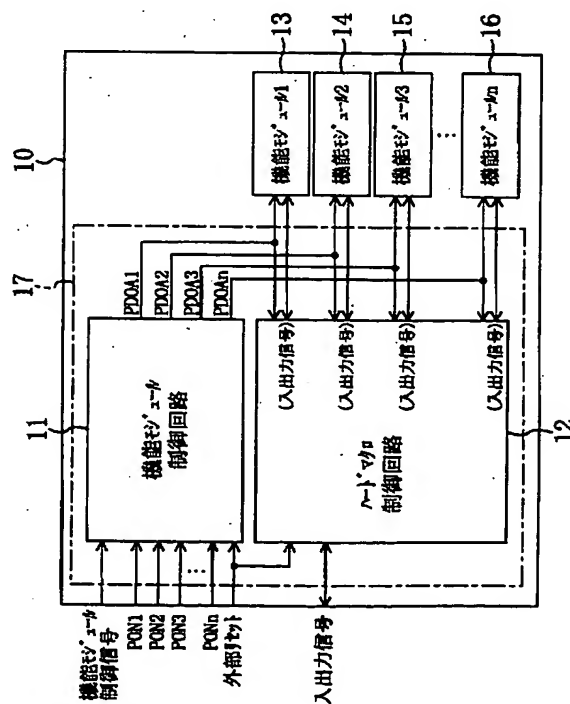
5F064 BB04 DD04 DD07 DD25 FF36

(54)【発明の名称】 ハードマクロ及びその配置方法

(57)【要約】

【課題】 汎用性の高いハードマクロを提供できるようにする。

【解決手段】 ハードマクロ10は、機能モジュール制御回路11、ハードマクロ制御回路12、及び同一の機能を有する複数の機能モジュールを備えている。各機能モジュールは、複数の第1の制御信号PDOAmのそれぞれによってオン又はオフされる。機能モジュール制御回路11は、複数の外部ピンPONmのそれぞれから入力される複数の外部ピン信号、又は機能モジュール制御信号に基づき、複数の第1の制御信号PDOAmを各機能モジュールにそれぞれ出力する。ハードマクロ制御回路12は、第1の制御信号PDOAmによりオンされる機能モジュールとの間の送受信を有効とすると共に第1の制御信号PDOAmによりオフされる機能モジュールとの間の送受信を無効とする。



【特許請求の範囲】

【請求項1】 複数の第1の制御信号のそれぞれによってオン又はオフされ、同一の機能を有する複数の機能モジュールと、

前記複数の機能モジュールのそれぞれと対応するように設けられ、High若しくはLowに固定されている複数の外部ピンのそれぞれから入力される複数の外部ピン信号、又は外部から入力される機能モジュール制御信号に基づき、前記複数の第1の制御信号を前記複数の機能モジュールにそれぞれ出力する機能モジュール制御回路と、

前記機能モジュール制御回路から出力された前記複数の第1の制御信号が入力され、入力された前記複数の第1の制御信号に基づき、前記複数の機能モジュールのうち対応する前記第1の制御信号によりオンされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを有効とすると共に前記複数の機能モジュールのうち対応する前記第1の制御信号によりオフされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを無効とするハードマクロ制御回路とを備えていることを特徴とするハードマクロ。

【請求項2】 前記機能モジュール制御回路は、前記機能モジュール制御信号又は外部から入力される外部リセット信号に基づき、前記複数の機能モジュールのそれぞれをオン又はオフする複数の第2の制御信号を出力するデコード回路と、

前記デコード回路から出力された前記複数の第2の制御信号が入力され、入力された前記複数の第2の制御信号の論理和をとると共に該論理和に基づきセレクト信号を出力する論理和回路と、

前記複数の外部ピン信号のうちの対応する外部ピン信号、前記デコード回路から出力された前記複数の第2の制御信号のうちの対応する第2の制御信号、及び前記論理和回路から出力された前記セレクト信号が入力され、入力された前記セレクト信号に基づき、入力された前記対応する外部ピン信号及び入力された前記対応する第2の制御信号のうちのいずれか一方を、前記複数の第1の制御信号のうちの対応する第1の制御信号として前記複数の機能モジュールのうちの対応する機能モジュールに出力する複数のセレクト回路とを備えていることを特徴とする請求項1に記載のハードマクロ。

【請求項3】 前記機能モジュール制御回路及びハードマクロ制御回路はハードマクロ主要部を構成し、前記ハードマクロ主要部及び前記複数の機能モジュールのそれぞれは、個々に独立して配置処理可能な単位となっていることを特徴とする請求項1に記載のハードマクロ。

【請求項4】 前記複数の機能モジュールのうち対応する前記第1の制御信号によりオンされない機能モジュールは、該機能モジュールよりも面積が小さく、且つ該機

能モジュールと同一の入出力ピンを備えていると共に該入出力ピンのうち出力ピンがHigh又はLowに固定されているゼロエリアモジュールと置換されていることを特徴とする請求項1に記載のハードマクロ。

【請求項5】 複数の第1の制御信号のそれぞれによってオン又はオフされ、同一の機能を有する複数の機能モジュールと、前記複数の機能モジュールのそれぞれと対応するように設けられ、High若しくはLowに固定されている複数の外部ピンのそれぞれから入力される複数の外部ピン信号、又は外部から入力される機能モジュール制御信号に基づき、前記複数の第1の制御信号を前記複数の機能モジュールにそれぞれ出力する機能モジュール制御回路と、前記機能モジュール制御回路から出力された前記複数の第1の制御信号が入力され、入力された前記複数の第1の制御信号に基づき、前記複数の機能モジュールのうち対応する前記第1の制御信号によりオンされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを有効とすると共に前記複数の機能モジュールのうち対応する前記第1の制御信号によりオフされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを無効とするハードマクロ制御回路とを備えたハードマクロの配置方法であって、前記機能モジュール制御回路及びハードマクロ制御回路から構成されるハードマクロ主要部を配置するハードマクロ主要部配置工程と、

前記複数の機能モジュールのうち対応する前記第1の制御信号によりオンされる機能モジュールのみを配置する機能モジュール配置工程とを備えていることを特徴とするハードマクロの配置方法。

【請求項6】 前記機能モジュール配置工程は、前記複数の機能モジュールのうち対応する前記第1の制御信号によりオンされない機能モジュールに代えて、該機能モジュールよりも面積が小さく、且つ該機能モジュールと同一の入出力ピンを備えていると共に該入出力ピンのうち出力ピンがHigh又はLowに固定されているゼロエリアモジュールを配置する工程を含むことを特徴とする請求項5に記載のハードマクロの配置方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路及びその設計方法に関し、特に、所定の機能を実現する回路である機能ブロックとして半導体集積回路に組み込まれるハードマクロの構成及びその配置方法に関する。

【0002】

【従来の技術】半導体集積回路は通常複数の機能ブロックによって構成されている。これらの機能ブロックのうち、メモリ等の汎用性の高い機能ブロックは、様々なアプリケーションに用いることができるように機能ブロック単位でライブラリ化されるのが一般的である。このようにライブラリ化された機能ブロックはハードマクロと

呼ばれている。

【0003】ところで、ハードマクロが同一の機能を有する複数の機能モジュールによって構成されている場合、該機能モジュールの数を変化させることによって、ハードマクロをシリーズ化することができる。例えば、メモリ等はその記憶容量の違いによってハードマクロとしてシリーズ化されている場合が多い。この場合、データを記憶する素子又はその組み合わせが機能モジュールを構成する。

【0004】ハードマクロがシリーズ化されていると、該シリーズ化されたハードマクロのうちから、半導体集積回路が必要とするだけの機能モジュールを備えたハードマクロを選択して使用することが可能になる。

【0005】図8は、複数の機能モジュールを備えた従来のハードマクロの構成の一例を示すブロック図である。

【0006】図8に示すように、ハードマクロ80は、ハードマクロ制御回路81と複数の機能モジュール、具体的には第1の機能モジュール82、第2の機能モジュール83、第3の機能モジュール84、……、第n（nは4以上の整数）の機能モジュール85とを備えている。ハードマクロ制御回路81は、各機能モジュールを使用して、機能ブロックとしての所望の動作を実現する。また、ハードマクロ制御回路81は、ハードマクロ80の外部との間、及び各機能モジュールとの間で信号の送受信を行なう。

【0007】ハードマクロ80が例えばメモリ用のハードマクロである場合、ハードマクロ制御回路81は、指定されたアドレスのデータの読み出し処理又は書き込み処理を制御する。また、各機能モジュールは、データを保持するメモリ素子から構成される。このとき、ハードマクロ80がデータを保持する容量によって、ハードマクロ80に組み込まれる機能モジュールの数が決定される。

【0008】図9は、ハードマクロが実装された従来の半導体集積回路の構成の一例を示すブロック図である。

【0009】図9に示すように、半導体集積回路90は論理回路91とハードマクロ92とを備えている。論理回路91及びハードマクロ92は、それぞれの間、及び半導体集積回路90の外部との間で信号の送受信を行なう。

【0010】以下、機能モジュールとしてのポートを1つ又は複数備えた機能ブロックとしてのバス転送装置を例として説明する。

【0011】バス転送装置は、ネットワーク接続を実現する汎用的な装置として電子計算機、ハードディスク、又はデジタルビデオカメラ等に搭載されている。電子計算機又はネットワークハブ等においては、複数の装置をネットワーク接続するために複数のポートを備えたバス転送装置が搭載される必要がある。一方、デジタルビデオ

カメラ等のポータブル装置においては、該装置のサイズを小さくするために必要最低限である1つのポートを備えたバス転送装置が搭載されればよい。

【0012】すなわち、同一の機能を有する機能ブロック（例えば、バス転送装置）であっても、アプリケーションによって組み込まれる機能モジュール（例えば、ポート）の数は異なる。従って、このような機能ブロックをハードマクロとしてライブラリ化する場合には、各アプリケーションに対応して機能モジュールの構成つまり機能モジュールの数を換えることによりハードマクロをシリーズ化する必要があった。

【0013】

【発明が解決しようとする課題】しかしながら、目的とするアプリケーションにおいて必要とされる機能モジュールの構成を備えたハードマクロが存在していない場合には、該ハードマクロ自体を開発する必要があるため、半導体集積回路の開発工数が増大するという問題が生じる。

【0014】前記に鑑み、本発明は、汎用性の高いハードマクロを提供できるようにすることを目的とする。

【0015】

【課題を解決するための手段】前記の目的を達成するために、本発明に係るハードマクロは、複数の第1の制御信号のそれぞれによってオン又はオフされ、同一の機能を有する複数の機能モジュールと、複数の機能モジュールのそれぞれと対応するように設けられ、High若しくはLowに固定されている複数の外部ピンのそれぞれから入力される複数の外部ピン信号、又は外部から入力される機能モジュール制御信号に基づき、複数の第1の制御信号を複数の機能モジュールにそれぞれ出力する機能モジュール制御回路と、機能モジュール制御回路から出力された複数の第1の制御信号が入力され、入力された複数の第1の制御信号に基づき、複数の機能モジュールのうち対応する第1の制御信号によりオンされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを有効とすると共に複数の機能モジュールのうち対応する第1の制御信号によりオフされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを無効とするハードマクロ制御回路とを備えている。

【0016】本発明のハードマクロによると、機能モジュール制御回路が、複数の外部ピン信号又は機能モジュール制御信号に基づき複数の第1の制御信号を複数の機能モジュールにそれぞれ出力すると共に、該複数の第1の制御信号のそれぞれによって複数の機能モジュールがオン又はオフされ、また、ハードマクロ制御回路が、第1の制御信号によりオンされる機能モジュールとの間の送受信を有効とすると共に第1の制御信号によりオフされる機能モジュールとの間の送受信を無効としている。このため、機能モジュール制御回路及びハードマクロ制御回路つまりハードマクロ主要部を変更することなく、

外部ピン信号又は機能モジュール制御信号を用いて、ハードマクロが有する複数の機能モジュールのそれぞれを選択的にオン又はオフすることができるので、ハードマクロの汎用性を高くすることができる。また、ハードマクロを半導体集積回路に組み込んだ後も、所定の機能モジュール制御信号を機能モジュール制御回路に入力することにより、各機能モジュールを選択的にオン又はオフすることができるので、使用されていない機能モジュールをオフにして半導体集積回路の消費電力を低減することができる。

【0017】本発明のハードマクロにおいて、機能モジュール制御回路は、機能モジュール制御信号又は外部から入力される外部リセット信号に基づき、複数の機能モジュールのそれぞれをオン又はオフする複数の第2の制御信号を出力するデコード回路と、デコード回路から出力された複数の第2の制御信号が入力され、入力された複数の第2の制御信号の論理和をとると共に該論理和に基づきセレクト信号を出力する論理和回路と、複数の外部ピン信号のうちの対応する外部ピン信号、デコード回路から出力された複数の第2の制御信号のうちの対応する第2の制御信号、及び論理和回路から出力されたセレクト信号が入力され、入力されたセレクト信号に基づき、入力された対応する外部ピン信号及び入力された対応する第2の制御信号のうちのいずれか一方を、複数の第1の制御信号のうちの対応する第1の制御信号として複数の機能モジュールのうちの対応する機能モジュールに出力する複数のセレクト回路とを備えていることが好ましい。

【0018】このようにすると、機能モジュール制御回路は、初期状態又は外部リセット信号が入力された場合においては、複数の外部ピン信号を複数の第1の制御信号として出力することができる一方、機能モジュール制御信号が入力された場合においては、該機能モジュール制御信号に基づき複数の機能モジュールのそれぞれをオン又はオフする複数の第2の制御信号を複数の第1の制御信号として出力することができる。

【0019】本発明のハードマクロにおいて、機能モジュール制御回路及びハードマクロ制御回路はハードマクロ主要部を構成し、ハードマクロ主要部及び複数の機能モジュールのそれぞれは、個々に独立して配置処理可能な単位となっていることが好ましい。

【0020】このようにすると、ハードマクロ主要部と各機能モジュールとを別々に配置することができるので、複数の機能モジュールのうち動作することのない機能モジュール、つまり複数の機能モジュールのうち対応する第1の制御信号によりオンされない機能モジュールを配置しないようにすることができる。

【0021】本発明のハードマクロにおいて、複数の機能モジュールのうち対応する第1の制御信号によりオンされない機能モジュールは、該機能モジュールよりも面

積が小さく、且つ該機能モジュールと同一の入出力ピンを備えていると共に該入出力ピンのうち出力ピンがHigh又はLowに固定されているゼロエリアモジュールと置換されていることが好ましい。

【0022】このようにすると、半導体集積回路の面積を低減することができる。

【0023】本発明に係るハードマクロの配置方法は、複数の第1の制御信号のそれぞれによってオン又はオフされ、同一の機能を有する複数の機能モジュールと、複数の機能モジュールのそれぞれと対応するように設けられ、High若しくはLowに固定されている複数の外部ピンのそれぞれから入力される複数の外部ピン信号、又は外部から入力される機能モジュール制御信号に基づき、複数の第1の制御信号を複数の機能モジュールにそれぞれ出力する機能モジュール制御回路と、機能モジュール制御回路から出力された複数の第1の制御信号が入力され、入力された複数の第1の制御信号に基づき、複数の機能モジュールのうち対応する第1の制御信号によりオンされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを有効とすると共に複数の機能モジュールのうち対応する第1の制御信号によりオフされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを無効とするハードマクロ制御回路とを備えたハードマクロの配置方法を前提とし、機能モジュール制御回路及びハードマクロ制御回路から構成されるハードマクロ主要部を配置するハードマクロ主要部配置工程と、複数の機能モジュールのうち対応する第1の制御信号によりオンされる機能モジュールのみを配置する機能モジュール配置工程とを備えている。

【0024】本発明のハードマクロの配置方法によると、複数の機能モジュールのうち対応する第1の制御信号によりオンされる機能モジュールのみを配置しているので、言い換えると、複数の機能モジュールのうち対応する第1の制御信号によりオンされない機能モジュールを配置していないので、半導体集積回路の面積を低減することができる。

【0025】本発明のハードマクロの配置方法において、機能モジュール配置工程は、複数の機能モジュールのうち対応する第1の制御信号によりオンされない機能モジュールに代えて、該機能モジュールよりも面積が小さく、且つ該機能モジュールと同一の入出力ピンを備えていると共に該入出力ピンのうち出力ピンがHigh又はLowに固定されているゼロエリアモジュールを配置する工程を含むことが好ましい。

【0026】このようにすると、半導体集積回路の面積を確実に低減することができる。

【0027】

【発明の実施の形態】以下、本発明の一実施形態に係るハードマクロについて図面を参照しながら説明する。

【0028】図1は本実施形態に係るハードマクロの構

成の一例を示すブロック図である。

【0029】図1に示すように、ハードマクロ10は、機能モジュール制御回路11と、ハードマクロ制御回路12と、互いに同一の機能を有する複数の機能モジュール、具体的には第1の機能モジュール13、第2の機能モジュール14、第3の機能モジュール15、……、第 n (n は4以上の整数)の機能モジュール16とを備えている。また、ハードマクロ10には、各機能モジュールと対応する複数の外部ピン、具体的には、第1の機能モジュール13と対応する第1の外部ピンPON1、第2の機能モジュール14と対応する第2の外部ピンPON2、第3の機能モジュール15と対応する第3の外部ピンPON3、……、第 n の機能モジュール16と対応する第 n の外部ピンPON n が設けられている。

【0030】各外部ピンPON m ($m=1, 2, 3, \dots, n$) は、ハードマクロ10を半導体集積回路(LSI)に実装するとき、対応する機能モジュールを初期状態でオンにする場合は一状態(例えば、High)に固定される一方、対応する機能モジュールを初期状態でオフにする場合は他状態(例えば、Low)に固定される。これにより、LSIの初期状態における各機能モジュールの動作状況が決定される。

【0031】尚、機能モジュール制御回路11とハードマクロ制御回路12とはハードマクロ主要部17を構成している。

【0032】機能モジュール制御回路11は、ハードマクロ10の外部から入力される入力信号と、各外部ピンPON m から入力される信号つまり複数の外部ピン信号とを常時観測している。

【0033】ハードマクロ10の外部から入力される入力信号としては、ハードマクロ10を搭載したLSIの外部から入力される入力信号であってもよいし、又は、該LSIの内部で生成される信号であってもよい。但し、いずれの場合でも、ハードマクロ10をLSIに実装した後において制御可能な信号でなければならない。

【0034】機能モジュール制御回路11は、初期状態、又はハードマクロ10の外部から入力される入力信号として外部リセット信号が入力された場合(つまり外部リセットが発生した場合)には、各外部ピンPON m から入力される複数の外部ピン信号に基づき、各機能モジュールのオン・オフを選択的に制御する複数の第1の制御信号PDOAm ($m=1, 2, 3, \dots, n$) をそれぞれ対応する機能モジュールに出力する。

【0035】また、機能モジュール制御回路11は、ハードマクロ10の外部から入力される入力信号として、各機能モジュールのオン・オフを制御することを指示する特定のパターンつまり機能モジュール制御信号が入力された場合には、該機能モジュール制御信号に基づき、複数の第1の制御信号PDOAmをそれぞれ対応する機能モジュールに出力する。

【0036】尚、複数の第1の制御信号PDOAmはハードマクロ制御回路12にも出力される。

【0037】また、各第1の制御信号PDOAmは、対応する機能モジュールをオンにする場合は一状態(例えば、High)に設定される一方、対応する機能モジュールをオフにする場合は他状態(例えば、Low)に設定される。すなわち、各機能モジュールは、入力される第1の制御信号PDOAmが例えばHighになると、パワーオン状態となって動作を開始する一方、入力される第1の制御信号PDOAmが例えばLowになると、動作を停止してパワーダウン状態になる。

【0038】また、機能モジュール制御回路11に入力される機能モジュール制御信号は、任意のビット幅を有していてもよいが、LSIの通常動作に使用されるピンを兼用できる信号であることが好ましい。このようにすると、LSIのピン数の増加を抑制することができる。

【0039】ハードマクロ制御回路12は、機能モジュール制御回路11から出力された複数の第1の制御信号PDOAmを受信して各機能モジュールのオン・オフを認識した後、各機能モジュールのうち対応する第1の制御信号PDOAmによりオンされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを有効とすると共に、各機能モジュールのうち対応する第1の制御信号PDOAmによりオフされる機能モジュールからの入力信号と該機能モジュールへの出力信号とを無効とする。すなわち、ハードマクロ制御回路12は、対応する第1の制御信号PDOAmによりオンされる機能モジュールとの間の送受信を有効とすると共に対応する第1の制御信号PDOAmによりオフされる機能モジュールとの間の送受信を無効とすることにより、各機能モジュールを制御して機能ブロックとしての所望の動作を実現する。

【0040】また、ハードマクロ制御回路12は、各機能モジュールの動作状態に依存するLSI内部の信号に対して、各第1の制御信号PDOAmの情報を反映させる。例えば、LSIの内部レジスタが、オンになっている機能モジュールの数を保持している場合、該機能モジュールの数を、各第1の制御信号PDOAmのうち例えばHighである第1の制御信号PDOAmの数に等しく設定する。

【0041】以下、機能モジュール制御回路11について図面を参照しながら詳しく説明する。

【0042】図2は、機能モジュール制御回路11の構成の一例を示すブロック図である。

【0043】図2に示すように、機能モジュール制御回路11はデコード回路21と論理和回路22と複数のセレクト回路、具体的には、第1の機能モジュール13と対応する第1のセレクト回路23、第2の機能モジュール14と対応する第2のセレクト回路24、第3の機能モジュール15と対応する第3のセレクト回路25、…

…、第 n の機能モジュール16と対応する第 n のセレクト回路26とを備えている。

【0044】デコード回路21は、ハードマクロ10の外部から入力される入力信号を解析して該入力信号が機能モジュール制御信号であった場合には、該機能モジュール制御信号をデコードした後、該デコード結果に基づき、各機能モジュールのオン・オフを制御する複数の第2の制御信号PCNT m ($m=1, 2, 3, \dots, n$) を出力する。このとき、各第2の制御信号PCNT m は、対応する機能モジュールをオンにする場合は一状態（例えば、High）に設定される一方、対応する機能モジュールをオフにする場合は他状態（例えば、Low）に設定される。

【0045】また、デコード回路21は、ハードマクロ10の外部から入力される入力信号が外部リセット信号であった場合（つまり、外部リセットが発生した場合）には、全ての第2の制御信号PCNT m を他状態（例えば、Low）に設定して出力する。

【0046】尚、デコード回路21は、新たな機能モジュール制御信号が入力されるまでの間又は外部リセットが発生するまでの間、各第2の制御信号PCNT m を保持する。

【0047】論理和回路22は、デコード回路21から出力された各第2の制御信号PCNT m を受信して、受信された各第2の制御信号PCNT m の論理和をとると共に該論理和に基づきセレクト信号SELを各セレクト回路に出力する。このようにすると、デコード回路21に機能モジュール制御信号が入力された場合には、セレクト信号SELは例えばHighに設定される一方、デコード回路21に外部リセット信号が入力された場合には、セレクト信号SELは例えばLowに設定される。

【0048】尚、デコード回路21に新たな機能モジュール制御信号が入力されるまでの間又は外部リセットが発生するまでの間、セレクト信号SELは保持される。

【0049】各セレクト回路は、対応する外部ピン信号、デコード回路21から出力された複数の第2の制御信号PCNT m のうちの対応する第2の制御信号PCNT m 、及び論理和回路22から出力されたセレクト信号SELを受信して、受信されたセレクト信号SELがLowになっている場合（初期状態又は外部リセットが発生した場合）には、受信された対応する外部ピン信号を第1の制御信号PDOAmとして対応する機能モジュールに出力すると共に、受信されたセレクト信号SELがHighになっている場合には、受信された対応する第2の制御信号PCNT m を第1の制御信号PDOAmとして対応する機能モジュールに出力する。

【0050】以下、本実施形態に係るハードマクロが実装された半導体集積回路について図面を参照しながら説明する。

【0051】図3は、本実施形態に係るハードマクロが

実装された半導体集積回路の構成の一例を示すブロック図である。

【0052】図3に示すように、半導体集積回路30は論理回路31及びハードマクロ32を備えている。ハードマクロ32は、第1の機能モジュール33、第2の機能モジュール34及び第3の機能モジュール35を備えている。また、ハードマクロ32には、第1の機能モジュール33と対応する第1の外部ピンPON1、第2の機能モジュール34と対応する第2の外部ピンPON2、及び第3の機能モジュール35と対応する第3の外部ピンPON3が設けられている。

【0053】第1の外部ピンPON1及び第2の外部ピンPON2は例えばHighにプルアップされている一方、第3の外部ピンPON3は例えばLowにプルダウンされている。その結果、初期状態においては、第1の機能モジュール33及び第2の機能モジュール34がオン状態になっている一方、第3の機能モジュール35がオフ状態になっている。

【0054】論理回路31から出力された機能モジュール制御信号がハードマクロ32に入力されると、ハードマクロ32は、第1の外部ピンPON1、第2の外部ピンPON2又は第3の外部ピンPON3の状態に関わらず、機能モジュール制御信号に基づき第1の機能モジュール33、第2の機能モジュール34又は第3の機能モジュール35の動作状態を変更する。

【0055】尚、半導体集積回路30において、機能モジュール制御信号が論理回路31からハードマクロ32に入力されているが、これに代えて、機能モジュール制御信号が半導体集積回路30の外部から直接ハードマクロ32に入力されてもよい。

【0056】本実施形態に係るハードマクロつまりハードマクロ10の特徴として、図1に示すように、機能モジュール制御回路11及びハードマクロ制御回路12から構成されるハードマクロ主要部17と、各機能モジュールとは構造上分割されており、それぞれが独立して配置処理可能な単位となっている。従って、ハードマクロ主要部17と各機能モジュールとを別々に配置することができるので、動作することのない機能モジュール、具体的には、対応する第1の制御信号PDOAmによりオンされることのない機能モジュールを実装時に配置しないようにすることができる。このとき、実装時に配置されない機能モジュールに代えて、該機能モジュールよりも例えば面積が小さい代替用モジュール（以下、ゼロエリアモジュールと称する）、又は外部と接続されていない修正用セルを含んだ代替用モジュール（以下、リペア用モジュールと称する）等を配置してもよい。

【0057】以下、本実施形態に係るハードマクロに用いられるゼロエリアモジュールについて図面を参照しながら説明する。

【0058】図4は、本実施形態に係るハードマクロに

用いられる機能モジュールの構成の一例を示すブロック図であり、図5は、図4に示す機能モジュールと置換可能なゼロエリアモジュールの構成の一例を示すブロック図である。

【0059】図4に示すように、機能モジュール40は回路41と複数の入力ピン、具体的には、第1の入力ピン42、第2の入力ピン43、第3の入力ピン44及び第4の入力ピン45と、複数の出力ピン、具体的には、第1の出力ピン46、第2の出力ピン47、第3の出力ピン48及び第4の出力ピン49とを備えている。

【0060】また、図5に示すように、ゼロエリアモジュール50は機能モジュール40と同一のピン、具体的には、第1の入力ピン51、第2の入力ピン52、第3の入力ピン53、第4の入力ピン54、第1の出力ピン55、第2の出力ピン56、第3の出力ピン57及び第4の出力ピン58とを備えている。また、第1の出力ピン55及び第2の出力ピン56はHighに固定されている一方、第3の出力ピン57及び第4の出力ピン58はLowに固定されている。

【0061】すなわち、ゼロエリアモジュールは、置換対象の機能モジュールと同一の入出力ピンを備えていると共に該入出力ピンのうち出力ピンがHigh又はLowに固定されている。尚、ゼロエリアモジュールの出力ピンをHigh又はLowのいずれに固定するかは任意である。また、ゼロエリアモジュールの形状は任意であって、ゼロエリアモジュールは、その内部にどのような回路を有していてもよい。但し、面積効率の点からは、ゼロエリアモジュールは回路を有していないことが好ましい。

【0062】以下、本実施形態に係るハードマクロの配置方法について、動作することのない機能モジュールをゼロエリアモジュールと置換する場合を例として、図面を参照しながら説明する。尚、配置対象のハードマクロは、図1に示すハードマクロ10であるとする。

【0063】図6は、本実施形態に係るハードマクロの配置方法の各処理を示すフロー図である。

【0064】まず、ハードマクロ主要部配置工程SAつまりステップSA1において、機能モジュール制御回路11及びハードマクロ制御回路12から構成されるハードマクロ主要部17の配置を行なう。

【0065】次に、機能モジュール配置工程SBにおいて、各機能モジュールつまり第1の機能モジュール13、第2の機能モジュール14、第3の機能モジュール15、……、第n（nは4以上の整数）の機能モジュール16の配置を行なう。

【0066】具体的には、まず、ステップSB1において、配置される機能モジュールの番号mを初期値1に設定する。

【0067】次に、ステップSB2において、番号mに対応する第1の制御信号PDOAmの状態を調べる。

【0068】第1の制御信号PDOAmが一状態に設定されている場合（例えば、Highにプルアップされている場合）、ステップSB3において、該第1の制御信号PDOAmと対応する機能モジュールの配置を行なう。

【0069】また、第1の制御信号PDOAmが他状態に設定されている場合（例えば、Lowにプルダウンされている場合）、ステップSB4において、該第1の制御信号PDOAmと対応する機能モジュールに代えて、該機能モジュールと置換可能なゼロエリアモジュールの配置を行なう。

【0070】ステップSB2における第1の制御信号PDOAmの状態の調査は、回路のネットリストを参照することによって容易に行なうことができる。ネットリストにおいては、一般的に、プルアップされている部分はVDD又は1'b1等のキーワードを用いて表されている一方、プルダウンされている部分はVSS又は1'b0等のキーワードを用いて表されている。

【0071】尚、第1の制御信号PDOAmが、例えば論理回路等の出力等であってHighにもLowにもなりうる可能性がある場合は、該第1の制御信号PDOAmと対応する機能モジュールの配置を行なう。

【0072】次に、ステップSB5において、全ての機能モジュールの配置が完了しているかどうか、つまり配置される機能モジュールの番号mが最終値nを越えているかどうかを調べる。

【0073】全ての機能モジュールの配置が完了していない場合、ステップSB6において、機能モジュールの番号mを1つインクリメントしてステップSB2からの処理を再度実行する。

【0074】また、全ての機能モジュールの配置が完了している場合、ハードマクロの配置処理を完了する。

【0075】以下、本実施形態に係るハードマクロの配置方法を用いた半導体集積回路の配置結果について、ハードマクロが有する3つの機能モジュールのうち2つだけが使用される半導体集積回路を例として、図面を参照しながら説明する。

【0076】図7は、本実施形態に係るハードマクロの配置方法を用いた半導体集積回路の配置結果の一例を示すブロック図である。

【0077】図7に示すように、半導体集積回路60は論理回路61、ハードマクロ主要部62、第1の機能モジュール63、第2の機能モジュール64及びゼロエリアモジュール65を備えている。すなわち、半導体集積回路60においては、ハードマクロが有する3つの機能モジュールのうち、使用されない1つの機能モジュールがゼロエリアモジュール65と置換されている。

【0078】また、ハードマクロ主要部62には、第1の機能モジュール63と対応する第1の外部ピンPON1、第2の機能モジュール64と対応する第2の外部ピ

ンPON2、及びゼロエリアモジュール65と対応する第3の外部ピンPON3が設けられている。尚、第1の外部ピンPON1及び第2の外部ピンPON2は例えばHighにプルアップされている一方、第3の外部ピンPON3は例えばLowにプルダウンされている。

【0079】論理回路61から出力された機能モジュール制御信号がハードマクロ主要部62に入力されると、ハードマクロ主要部62は、第1の外部ピンPON1又は第2の外部ピンPON2の状態に関わらず、機能モジュール制御信号に基づき第1の機能モジュール63又は第2の機能モジュール34の動作状態を変更する。

【0080】以上に説明したように、本実施形態によると、機能モジュール制御回路11が、複数の外部ピンPONmから入力される複数の外部ピン信号、又は機能モジュール制御信号に基づき複数の第1の制御信号PDOAmを複数の機能モジュールにそれぞれ出力すると共に、該複数の第1の制御信号PDOAmのそれぞれによって複数の機能モジュールがオン又はオフされ、また、ハードマクロ制御回路12が、第1の制御信号PDOAmによりオンされる機能モジュールとの間の送受信を有効とすると共に第1の制御信号PDOAmによりオフされる機能モジュールとの間の送受信を無効としている。このため、機能モジュール制御回路11及びハードマクロ制御回路12つまりハードマクロ主要部17を変更することなく、外部ピン信号又は機能モジュール制御信号を用いて、ハードマクロ10が有する複数の機能モジュールのそれぞれを選択的にオン又はオフすることができるので、ハードマクロ10の汎用性を高くすることができる。また、ハードマクロ10を半導体集積回路に組み込んだ後も、所定の機能モジュール制御信号を機能モジュール制御回路11に入力することにより、各機能モジュールを選択的にオン又はオフすることができるので、使用されていない機能モジュールをオフにして半導体集積回路の消費電力を低減することができる。

【0081】また、本実施形態によると、機能モジュール制御回路11は、機能モジュール制御信号又は外部リセット信号に基づき、複数の機能モジュールのそれぞれをオン又はオフする複数の第2の制御信号PCNTmを出力するデコード回路21と、複数の第2の制御信号PCNTmが入力され、入力された複数の第2の制御信号PCNTmの論理和をとると共に該論理和に基づきセレクト信号SELを出力する論理和回路22と、複数の外部ピン信号のうちの対応する外部ピン信号、複数の第2の制御信号PCNTmのうちの対応する第2の制御信号PCNTm、及びセレクト信号SELが入力され、入力されたセレクト信号SELに基づき、入力された対応する外部ピン信号及び入力された対応する第2の制御信号PCNTmのうちのいずれか一方を、複数の第1の制御信号PDOAmのうちの対応する第1の制御信号PDOAmとして対応する機能モジュールに出力する複数のセ

レクタ回路とを備えている。このため、機能モジュール制御回路11は、初期状態又は外部リセット信号が入力された場合においては、複数の外部ピン信号を複数の第1の制御信号PDOAmとして出力することができる一方、機能モジュール制御信号が入力された場合においては、該機能モジュール制御信号に基づき複数の機能モジュールのそれぞれをオン又はオフする複数の第2の制御信号PCNTmを複数の第1の制御信号PDOAmとして出力することができる。

【0082】また、本実施形態によると、機能モジュール制御回路11及びハードマクロ制御回路12から構成されるハードマクロ主要部17と、複数の機能モジュールのそれぞれとは、個々に独立して配置処理可能な単位となっている。このため、ハードマクロ主要部17と各機能モジュールとを別々に配置することができるので、複数の機能モジュールのうち動作することのない機能モジュール、つまり複数の機能モジュールのうち対応する第1の制御信号PDOAmによりオンされない機能モジュールを配置しないようにすることができる。

【0083】また、本実施形態によると、機能モジュール配置工程SBにおいて複数の機能モジュールのうち対応する第1の制御信号PDOAmによりオンされる機能モジュールのみを配置しているので、言い換えると、複数の機能モジュールのうち対応する第1の制御信号PDOAmによりオンされない機能モジュールを配置していないので、半導体集積回路の面積を低減することができる。

【0084】また、本実施形態によると、機能モジュール配置工程SBにおいて複数の機能モジュールのうち対応する第1の制御信号PDOAmによりオンされない機能モジュールに代えて、該機能モジュールよりも面積が小さく、且つ該機能モジュールと同一の入出力ピンを備えていると共に該入出力ピンのうち出力ピンがHigh又はLowに固定されているゼロエリアモジュールを配置しているので、半導体集積回路の面積を確実に低減することができる。

【0085】

【発明の効果】本発明によると、ハードマクロ主要部を変更することなく、外部ピン信号又は機能モジュール制御信号を用いて、ハードマクロが有する複数の機能モジュールのそれぞれを選択的にオン又はオフすることができるため、ハードマクロの汎用性を高くすることができる。従って、機能モジュールの数のみが異なる同様の機能ブロックを有する様々な半導体集積回路を設計する場合、該半導体集積回路の設計工数を低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るハードマクロの構成の一例を示すブロック図である。

【図2】本発明の一実施形態に係るハードマクロにおけ

る、機能モジュール制御回路の構成の一例を示すブロック図である。

【図3】本発明の一実施形態に係るハードマクロが実装された半導体集積回路の構成の一例を示すブロック図である。

【図4】本発明の一実施形態に係るハードマクロにおける、機能モジュールの構成の一例を示すブロック図である。

【図5】本発明の一実施形態に係るハードマクロにおける、ゼロエリアモジュールの構成の一例を示すブロック図である。

【図6】本発明の一実施形態に係るハードマクロの配置方法の各処理を示すフロー図である。

【図7】本発明の一実施形態に係るハードマクロの配置方法を用いた半導体集積回路の配置結果の一例を示すブロック図である。

【図8】従来のハードマクロの構成の一例を示すブロック図である。

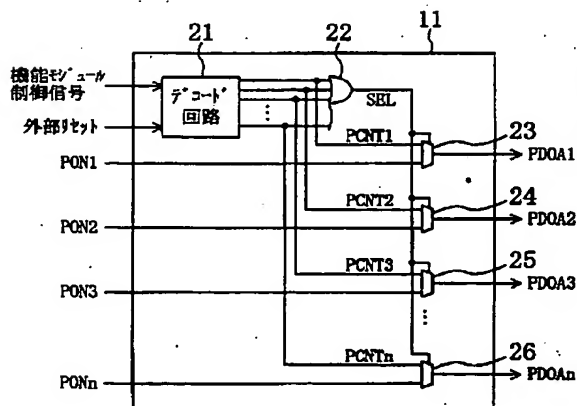
【図9】従来の半導体集積回路の構成の一例を示すブロック図である。

【符号の説明】

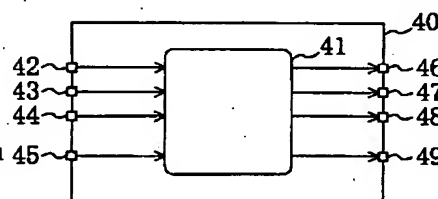
- 10 ハードマクロ
- 11 機能モジュール制御回路
- 12 ハードマクロ制御回路
- 13 第1の機能モジュール
- 14 第2の機能モジュール
- 15 第3の機能モジュール
- 16 第nの機能モジュール
- 17 ハードマクロ主要部
- 21 デコード回路
- 22 論理和回路
- 23 第1のセクタ回路
- 24 第2のセクタ回路

- 25 第3のセクタ回路
- 26 第nのセクタ回路
- 30 半導体集積回路
- 31 論理回路
- 32 ハードマクロ
- 33 第1の機能モジュール
- 34 第2の機能モジュール
- 35 第3の機能モジュール
- 40 機能モジュール
- 41 回路
- 42 第1の入カピン
- 43 第2の入カピン
- 44 第3の入カピン
- 45 第4の入カピン
- 46 第1の出カピン
- 47 第2の出カピン
- 48 第3の出カピン
- 49 第4の出カピン
- 50 ゼロエリアモジュール
- 51 第1の入カピン
- 52 第2の入カピン
- 53 第3の入カピン
- 54 第4の入カピン
- 55 第1の出カピン
- 56 第2の出カピン
- 57 第3の出カピン
- 58 第4の出カピン
- 60 半導体集積回路
- 61 論理回路
- 62 ハードマクロ主要部
- 63 第1の機能モジュール
- 64 第2の機能モジュール
- 65 ゼロエリアモジュール

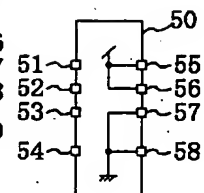
【図2】



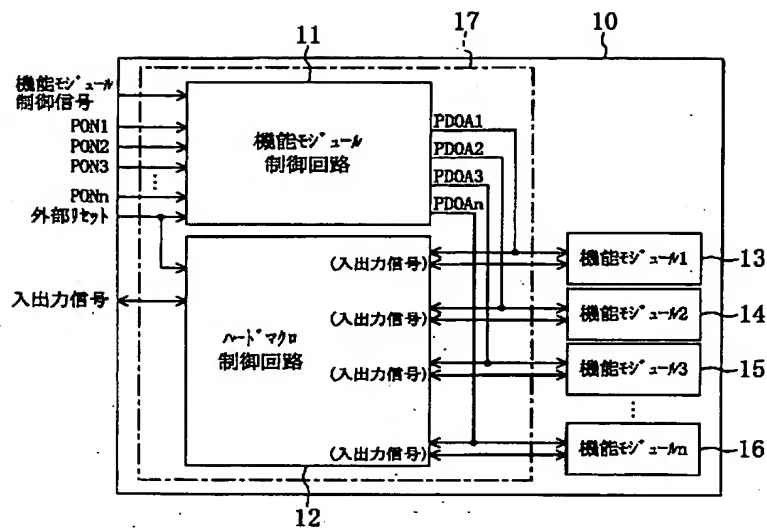
【図4】



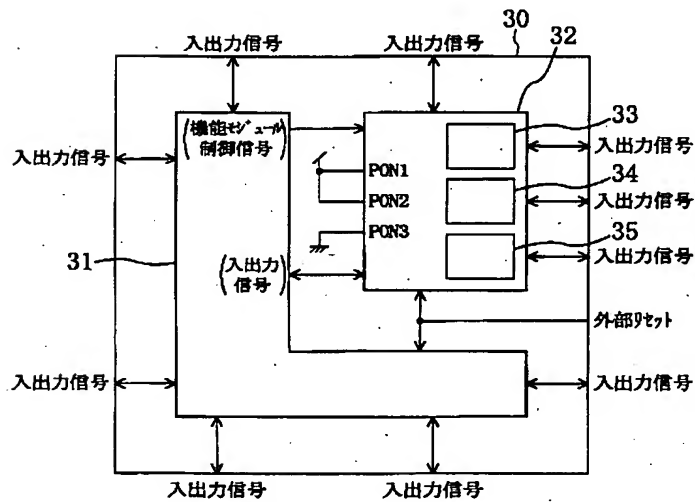
【図5】



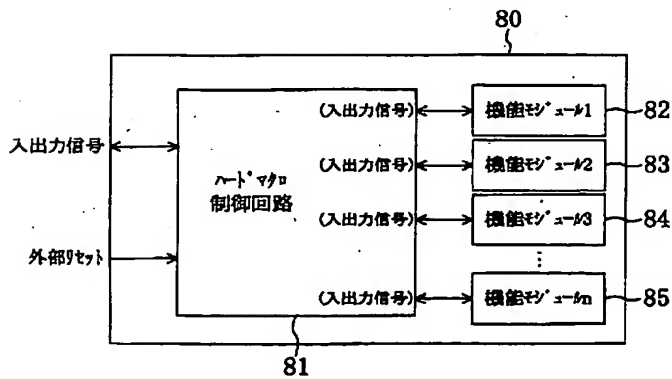
【図 1】



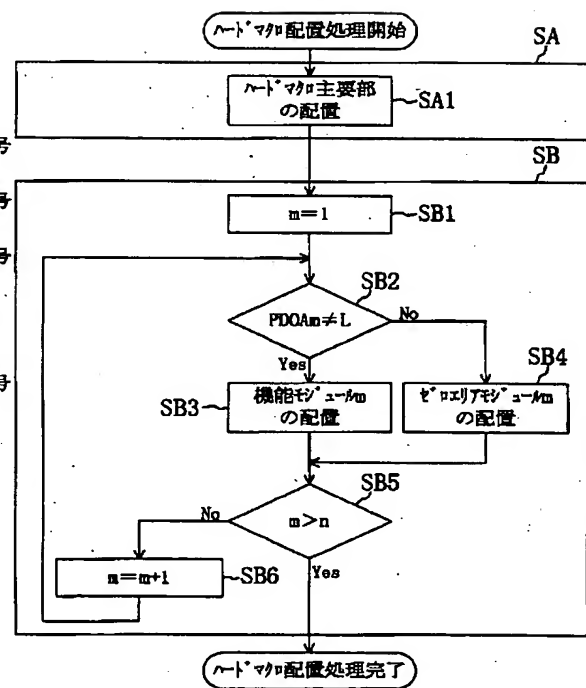
【図 3】



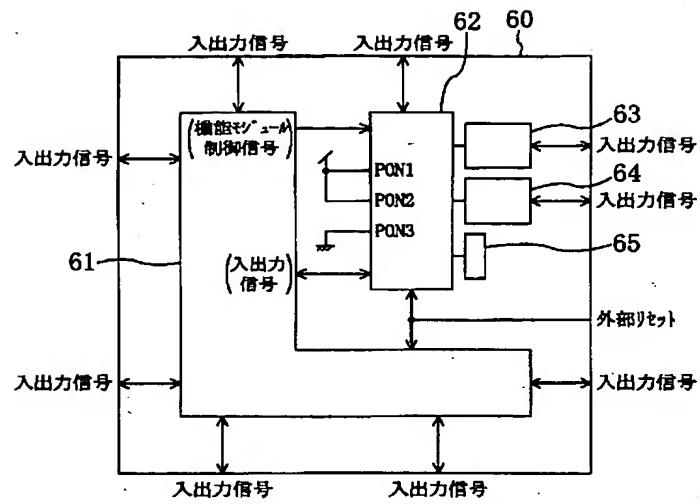
【図 8】



【図 6】



【図 7】



【図 9】

